

## 碳化矽薄膜對鋁基金錫共晶接合面之影響

楊詠鈞<sup>1</sup> 陳文瑞<sup>2</sup>

<sup>1</sup>國立虎尾科技大學光電與材料科技研究所

雲林縣虎尾鎮文化路 64 號

<sup>2</sup>國立虎尾科技大學電子工程系

雲林縣虎尾鎮文化路 64 號

### 摘要

本論文研究動機是參考DLC的概念應用於LED的覆晶封裝上，嘗試在鋁基底部濺鍍沉積上碳化矽來探討對鋁基金錫共晶接合結構上的影響。因為鋁無法進行電鍍等製程，因此將鋁表面先進行鋅置換與無電鍍鍍後，再以電鍍製備金錫堆疊層。在實驗過程中發現到，因碳化矽與鋁的熱膨脹系數差距過大，所以導致在進行熱壓合時，經過升、降溫後，會有薄膜剝離的狀況，使得元件的可靠度降低。後再參考以碳化矽作為基材的LED結構，嘗試在碳化矽上方先濺鍍沉積一層薄氮化鋁再濺鍍沉積鋁薄膜，因為碳化矽與氮化鋁不但熱膨脹係數接近，晶格常數也相當接近，而鋁與氮化鋁的晶格也較為匹配，並由實驗印證，薄膜附著力得以提升，剝離的狀況已大幅的改善，故將以此結構去探討對金錫共晶溫度與剪應力的關係，並找出最佳的共晶溫度，去做SEM、EDX、XRD分析，確認較佳的合金相，再將此參數以黃光微影方式開出圖形，並以LED作覆晶封裝，進行電性量測分析。

**關鍵詞：**濺鍍沉積、碳化矽、熱膨脹係數、金錫共晶、覆晶封裝

## Effect of Silicon Carbide Thin Film on Al-Based AuSn Eutectic Bonding Joint

YUNG-CHUN YANG<sup>1</sup>, AND WEN-RAY CHEN<sup>2</sup>

<sup>1</sup>Graduate Institute of Electro-Optical and Materials Science, National Formosa University,

Huwei Yunlin 632, Taiwan

<sup>2</sup>Department of Electronic Engineering, National Formosa University,

Huwei Yunlin 632, Taiwan

### ABSTRACT

In this study, we refer to the characteristic of the DLC structure on glass substrate. Therefore, the motivation is using the silicon carbide thin film deposited underneath the aluminum film. Then, the AuSn eutectic bonding joint structure was later performed. Because the Al surface can't be electroplated directly, so the Zn replacement experiment was firstly performed on top of the aluminum surface. Then, the electroless nickel was deposited and followed by the electroplated nickel. The Au/Sn stack-layers were then electroplated onto these stacks. In our experiment, the film pilling can be easily observed after the thermal bonding process. According to the literature, it can be

attributed to the large coefficient of thermal expansion. Here we refer to the SiC-based LED structure, the thin AlN film was firstly deposited before the SiC film. The lattice constant and coefficient of thermal expansion between SiC and AlN are nearby; In addition, the lattice constant of Al and AlN is also near match. After the experiment, it was found that the film adhesion of this new structure is better than the old one. After the bonding process, the pilling phenomenon was not found. We explore the Au/Sn better alloy temperature on top of aluminum surface by using the metal sub-layer to. Structural characterizations were performed by SEM, EDX, and XRD. Finally, the flip-chip bonding pattern was realized by the photolithography, and the stack metal layers were deposited on the glass substrates. After the complete bonding process, the electrical characteristics of the LEDs were measured and analyzed in detail.

**Keywords:** sputtering deposition, silicon carbide, coefficient of thermal expansion, AuSn eutectic bonding, flip-chip package.

## 一、前言

隨著科技的日新月異，以及近年來環保意識抬頭，節能減碳已變成全民的運動，節能顧名思義即是節省能源的損耗，然而與生活息息相關的就是『電』了，以『固態照明』而言，傳統白熾燈泡發光原理為通電後將鎢絲加熱至白熾進而發出輻射光線，然此種發光原理會產生大量且無用的紅外線熱能，僅剩下10%不到的能量會轉換為光，此類產品除了轉換效率極低以外，釋放出的熱能更會加速地球暖化效應，隨著新世代產品省電燈泡、發光二極體等替代燈具問世，白熾燈泡在各先進的國家已明文禁止生產與使用，而台灣也在2010年起開始執行白熾燈禁產政策，並於2012年起全面禁止生產與使用。而在白熾燈泡走入歷史後，後續取代的光源值得被好好重視與研究，目前市場上最受到矚目的光源即為省電燈泡與LED燈泡，雖然省電燈泡具有頗佳的省電效率，但是其仍具有廢棄物含有汞的汙染問題，加上LED的各項優點，包括發光效率的大幅提升、低耗損、壽命長、兼具環保等優點，使得LED燈泡在市場上嶄露頭角，被大眾的接受度逐漸提高，但高功率LED的封裝方式與散熱問題仍是目前業界極需重視的問題，否則高流明所伴隨的高溫可能將使LED元件本身的可靠度下降[1]。

傳統LED的封裝方式係將LED晶粒以銀膠固定於基座上，並以wire bond的方式將晶粒上方的P、N電極連結至外部的電源驅動電路，後再以環氧樹脂(Epoxy)來封裝保護內部晶粒與金線等等...傳統砲彈型LED即是使用此種封裝方式[2]。倘若遇到較高溫或散熱較差的狀況時，則會搭配散熱鱗片來達到散熱的效果[3]，但如此一來，除了體積增加外，封裝的成本也隨之增加，因此近年來，一種新的封裝技

術—覆晶封裝被提出，覆晶封裝顧名思義就是將晶片翻轉後，以倒置的方式與有導電圖形的基板進行接合封裝，此封裝方式可廣泛運用於IC晶片或LED晶粒等等[4]...覆晶封裝結構示意圖如圖1所示，而且其很適合應用於需要較高密度或較小尺寸的元件封裝上，而且不需像傳統wire bond封裝一樣靠金線連接，除了有良率問題外製程也較費時，覆晶封裝是採用焊接或是金屬凸塊技術來取代，經過錫爐或高溫設備後，金屬自然互熔而使得晶片與基板緊密連結，不需考慮跨線等問題，使得晶片尺寸得以縮小，以達到最佳化的電路設計。除此之外，覆晶封裝的基板材料選用值得被研究，可使用高導熱基板來作封裝，類型包含了高導熱基板(類FR-4)、金屬基板(IMS)、陶瓷基板(AlN/SiC)與直接貼銅板(DBC)等等導熱性較高的基板來作封裝[5]，因為可利用基板較佳的熱傳導率來實現將晶片工作時所伴隨的高溫迅速的導出，不在元件上反覆停留，使得溫度攀升不下，出現可靠度異常等等問題。另外，覆晶封裝的焊料凸塊材質選用也是個重要的議題，因為焊料凸塊關係到晶片與基板的黏接附著性，因此在選用時，要特別注意各種凸塊材質的特性，銀膠也常被拿來作黏貼晶片與基板，但銀膠不被廣泛運用的原因可能是其具有應力釋放與較低導熱性等問題，焊料凸塊則可依據其對應力的抑制性歸納為軟性焊料與硬性焊料，軟性焊料指的像是鉛-錫、錫-銀及錫-銅等等...它們對於抑制應力的能力較差而容易導致變形，甚至也可能發生熱疲勞的現象，長期處在較不良的環境可能使得可靠度降低，且部分含有鉛的焊料並不符合目前環保無鉛的概念，因此較少運用於工業發展上。硬性焊料則包含了金-20錫、金-12鎳與金-3矽等等...其具有較佳的抑制應力的能力，能夠避免其疲乏與蠕變的狀況發生

[6]，當中在電子封裝應用上又以金-20錫最常被使用，因為金錫合金具有良好的穩定性、潤濕性、抗疲勞性、低黏滯性等特性與不需要使用助焊劑即可達到鍵合的物理特性等等...所以金錫的介金屬化合物(Intermetallic Compound, IMC)與金錫合金被廣泛的應用在半導體及其它工業上。

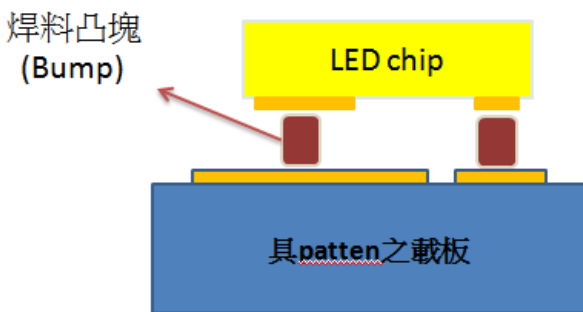


圖1. 覆晶封裝結構示意圖

金錫共晶兩元素的比例不同，其物理特性也將有所不同，一般金錫合金常使用重量百分比金80 wt.%、錫20 wt.%的比例應用於金錫共晶的覆晶封裝製程上，根據金錫二元相圖(如圖2.所示)可以得知，金錫共晶包含有很多種合金相，包含了 $\zeta$ 相( $\text{Au}_5\text{Sn}$ )、 $\zeta'$ 相( $\text{Au}_5\text{Sn}$ )、 $\delta$ 相( $\text{AuSn}$ )、 $\epsilon$ 相( $\text{AuSn}_2$ )與 $\eta$ 相( $\text{AuSn}_4$ )等等，而當金錫重量百分比分別為金80wt.%、錫20wt.%時，溫度在約278°C時會達到液相(Liquid phase)，此時金錫應是屬於互溶的狀態，而當溫度降低後，根據相圖，會由液態轉換為合金相，即 $L \rightarrow \zeta + \delta$ ，此合金相周圍還包含了 $\zeta$ 相( $\text{Au}_5\text{Sn}$ )、 $\zeta'$ 相( $\text{Au}_5\text{Sn}$ )及 $\delta$ 相( $\text{AuSn}$ )，共晶(Eutectic)是在二元系統中可能發生的三相反應之一，共晶係指從一個液態相同時轉變為兩種固態相的恆溫轉變，而另一種常出現的反應是在一液態相和固態相間形成一新且不同的固相，這個三相變態稱之為包晶(Peritectic)，而發生的位置稱之為包晶點[7]，在金錫二元系統中， $\zeta$ 相即是包晶的一種， $\zeta \rightarrow \beta + L$ 。在金錫比例與不同的溫度下，會產生不同的合金相，而本研究將利用金錫二元系統在重量百分比金80 wt.%、錫20 wt.%的比例，溫度在278 °C所進入的液相轉變，使金錫形成共晶，以作為焊料凸塊黏接晶片與基板。

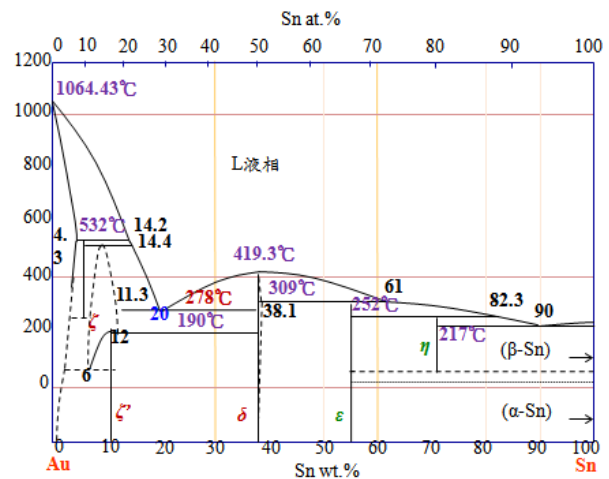


圖2. 金錫二元相圖[8][9]

## 二、實驗方法

本研究係探討在碳化矽薄膜對鉛基金錫共晶接合面之影響，本實驗使用厚度500  $\mu\text{m}$ 的素玻璃作為基板，在基板上以射頻濺鍍機RF Sputter濺鍍碳化矽薄膜後，再沉積鋁薄膜作為後續金屬層的基底，因為鋁表面無法直接進行電鍍等製程，因此本研究於鋁表面先進行鋅置換，將表面的鋁原子置換為鋅原子，因鋅原子活性極高，非常容易氧化，因此鋅置換後隨即進行無電鍍鍍，於鋅表面鍍上一層鎳，以利後續金/錫/金堆疊層的電鍍製備，完成金屬層製備後進行熱壓合，以確認鍵合溫度與金錫共晶的剪應力狀況表現。

玻璃基板前置處理先使用緩衝氧化矽蝕刻液(Buffer Oxide Etcher 6:1, BOE)與去離子水以1:10的比例稀釋進行浸泡10秒鐘，後以氮氣槍將玻璃基板表面吹乾，此步驟目的是將玻璃基板表面粗糙化，欲使濺鍍的薄膜附著性得以提升。後再將玻璃基板依序使用丙酮、甲醇、去離子水放置於超音波震盪器內進行震盪清洗，時間為各3分鐘，之後一樣以氮氣槍乾燥表面，目的是為了將玻璃基板表面的髒汙、油漬去除。

在完成基板前處理後，將基板置入射頻濺鍍機真空腔體內，並以真空幫浦抽氣使得背景真空值低於 $2 \times 10^{-5}$  Torr後進行碳化矽的薄膜沉積，濺鍍方式為射頻磁控，功率為100 W，氬氣流量20 sccm，完成第一層的碳化矽薄膜沉積後，需要將碳化矽靶材更換為鋁靶，以繼續第二層的鋁薄膜沉積，待真空值到達後，始進行鋁薄膜的濺鍍沉積，濺鍍方式為射頻磁控，功率為150 W，氬氣流量20 sccm，基板載台加熱溫度120 °C，後續金屬層的鋁基底已完成置備，各材料濺

鍍參數如表1.所示。

表1. 射頻磁控濺鍍機濺鍍參數表

預濺鍍物	碳化矽(SiC)	鋁(Al)	氮化鋁(AlN)
基板	500 $\mu$ m素玻璃	玻璃/碳化矽/氮化鋁	玻璃/碳化矽
靶材	碳化矽靶	鋁靶	鋁靶
純度	99.5%	99.999%	99.999%
氣體流量	氬氣 20 sccm	氬氣 20 sccm	氬氣 20 sccm 氮氣 1 sccm
濺鍍方式	射頻磁控 RF	射頻磁控 RF	射頻磁控 RF
功率	100 W	150 W	150 W
載板加熱	NA	120 °C	120 °C
背景真空值	< 2.0 X 10 <sup>-5</sup> Torr	< 2.0 X 10 <sup>-5</sup> Torr	< 2.0 X 10 <sup>-5</sup> Torr
製程真空值	1.2 X 10 <sup>-2</sup> Torr	1.2 X 10 <sup>-2</sup> Torr	1.4 X 10 <sup>-2</sup> Torr

因為鋁與氧有很好的親和力，使得表面在空氣中即會形成緻密的氧化層，致使無法與其他金屬附著，因此無法直接於鋁材上進行電鍍，一般鋁層電鍍前的前處理，最常見的即是鋅置換。

本實驗鋅置換液以鋅置換劑:去離子水用3:7的比例調配而成，並調配濃度50%的硝酸用來祛除鋁表面的髒污與油脂，鋅置換的方式為先以硝酸進行酸洗5秒後，以去離子水洗淨後乾燥，再浸泡鋅置換液10秒，以去離子水洗淨乾燥，此為一個循環的鋅置換處理，本實驗每組試片皆進行三次鋅置換處理，酸洗時間皆為5秒鐘，但浸泡鋅置換液時間分別為10、20與40秒，完成鋅置換後，表面的鋁原子被置換為鋅原子，但因鋅原子活性極大，容易氧化，因此完成鋅置換後，應盡速將試片進行無電鍍鍍處理，無電鍍鍍浴之pH值應控制於4.8~5.0間，溫度約85 °C，無電鍍鍍的反應時間為5分鐘，鋅置換與無電鍍鍍的詳細流程圖請參考圖3，將表面鍍上一層鍍層後，以利後續金/錫/金堆疊層的電鍍製備。

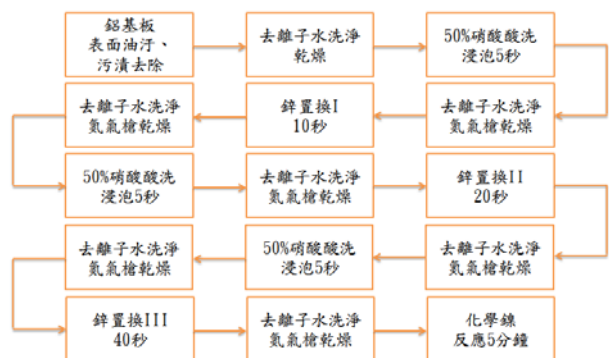


圖3. 鋅置換、化學鍍流程圖

最後於鍍層上方以電鍍的方式進行金/錫/金堆疊層的製備，但因本實驗將控制金錫重量百分比為80:20，因此經過公式演算後，並將金厚度控制在1  $\mu$ m左右，得以確認金錫的厚度分別設定在1.035  $\mu$ m與0.684  $\mu$ m，並以多組測試電鍍膜厚測試片以表面輪廓儀來確認電鍍鍍率，以推算出所需的電鍍時間。而為確保電鍍鍍浴均勻性，電鍍皆在磁石旋轉加熱器上操作，並設定旋轉轉速在60 rpm，除了可以使鍍浴均勻外，也要避免過快的轉速導致鍍浴波動，進而影響薄膜電鍍品質。電鍍金時，將鍍金液的液溫設定為35 °C左右，因為電鍍金的鍍率較慢，需要長時間電鍍，為確保長時間鍍金的薄膜品質，最初會先以較大的電流密度短時間的方式進行，電流密度設定在6 mA/cm<sup>2</sup>，時間6秒鐘，第二階段再以電流密度3 mA/cm<sup>2</sup>來進行電鍍，時間29.37分鐘，在完成鍍金後，再以電流密度20 mA/cm<sup>2</sup>來電鍍錫，時間58秒鐘，鍍浴溫度維持於室溫即可，因為錫很容易氧化，因此最後再以電流密度3 mA/cm<sup>2</sup>，時間6秒鐘來電鍍一層薄金用以防止錫層表面氧化，整體實驗流程圖如圖4.所示，至此本研究的所有金屬層置備已經完成。

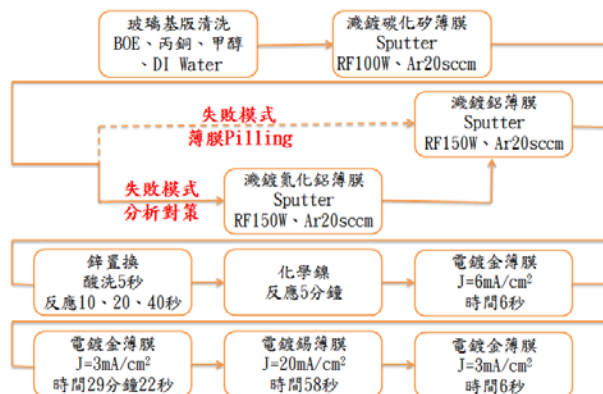


圖4. 金錫金屬層置備流程圖

隨後我們將進行熱壓合實驗，熱壓合是指利用高溫高壓的方式將兩試片貼合併加熱使其產生鍵合。本實驗熱壓合模組係採用可程式化溫控器、真空腔體、加熱彈頭、感溫線與冷卻水循環冰水機組合而成，因為熱壓合實驗溫度會到達3、400 °C以上，避免腔體內構造遭到熔損，因此實驗中務必使用冷卻水循環冰水機。首先將子片與母片對齊貼合，置放於加熱座上，並以石英砝碼水平的壓於試片上方，再將腔體抽至真空後，於可程式化溫控器上設定溫度、升溫速率與持溫時間，可利用感溫線來確認內部的實際溫度，實驗完

成後，於真空腔體中自然冷卻至室溫，即可取出試片，進行後續可靠度分析。

本實驗可靠度分析是使用剪應力推力計測試儀，推頭附掛於推力計上，以水平移動的方式將子片自母片上推除，並於推力計上讀取數值，以換算實際之剪應力，剪應力推力計測試儀示意圖如圖5.所示。

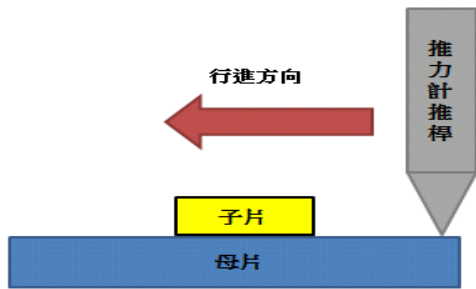


圖5. 剪應力推力計測試示意圖

另外，本實驗將選取數個較具代表性的參數樣品，進行掃描式電子顯微鏡(Scanning Electron Microscope, SEM)、X光能量散佈分析儀(Energy Dispersive X-ray Spectroscopy, EDS)與X光繞射分析儀(X-ray Diffractometer, XRD)來進行微觀結構的觀察與元素的分析。圖6.為整體製程結構圖。

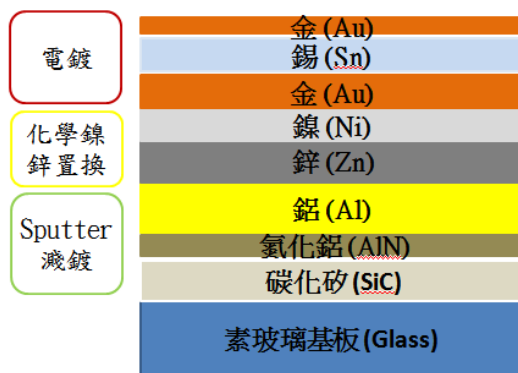
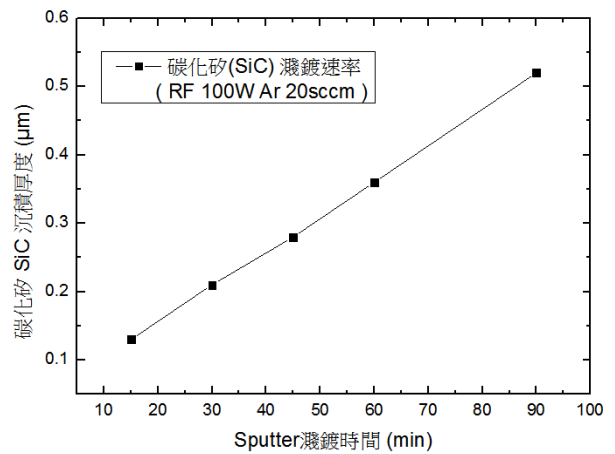


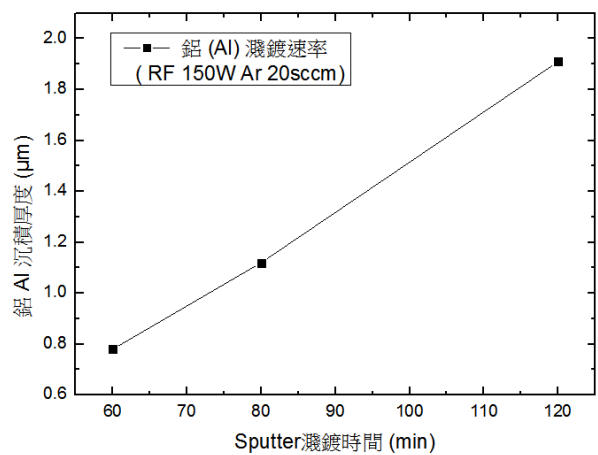
圖6. 製程結構圖

### 三、結果與討論

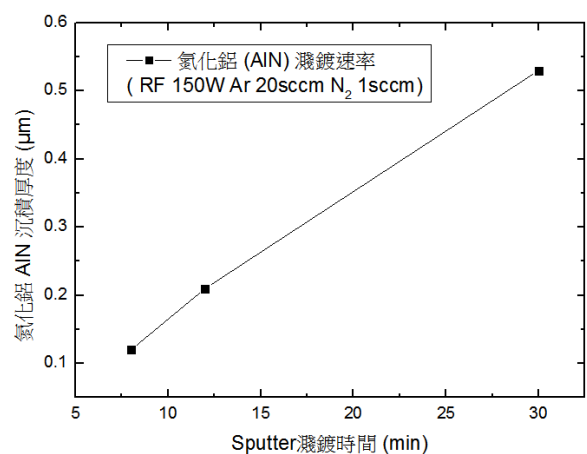
首先，我們先測試射頻濺鍍機濺鍍碳化矽與鋁薄膜鍍率以及電鍍金、錫的鍍率，先以測試片進行不同時間參數的濺鍍、電鍍，再以表面輪廓儀( $\alpha$ -step)來確認薄膜厚度，圖7.為射頻磁控濺鍍機濺鍍(a)碳化矽、(b)鋁、(c)氮化鋁的濺鍍速率率圖，因是使用物理氣相的濺鍍沉積，因此薄膜厚鍍與時間的對應圖大致上都呈現線性的趨勢。



(a) 碳化矽濺鍍速率率圖



(b) 鋁濺鍍速率率圖

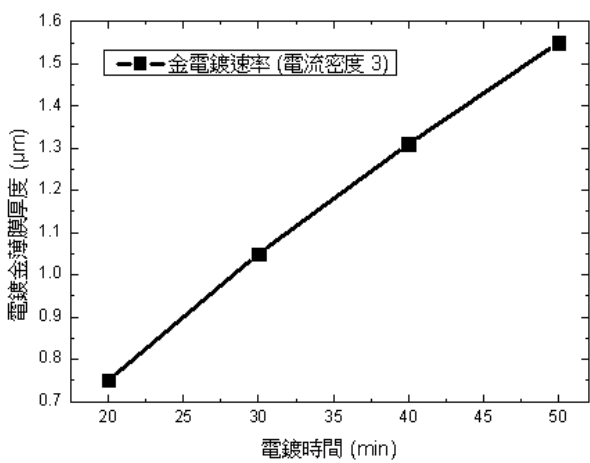


(c) 氮化鋁濺鍍速率率圖

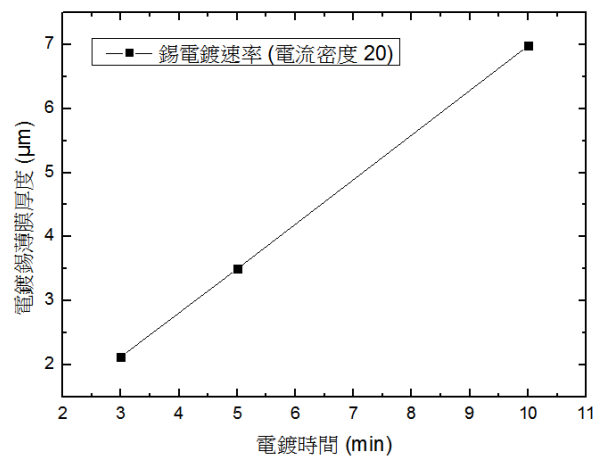
圖7. 射頻磁控濺鍍薄膜沉積速率率圖

以圖7.(a)碳化矽濺鍍速率而言，以功率RF 100 W，氬氣流量20 sccm，平均鍍率約為0.0067  $\mu\text{m}/\text{min}$ ，本實驗將碳化矽薄膜厚鍍訂為0.2  $\mu\text{m}$ 左右，濺鍍時間為30分鐘。圖7.(b)為鋁之濺鍍速率圖，濺鍍參數為功率RF 150 W，氬氣流量20 sccm，基板加熱溫度120  $^{\circ}\text{C}$ ，可得平均鍍率為0.0143  $\mu\text{m}/\text{min}$ ，為避免鋅置換鋁層厚度不足導致失敗，因此本實驗將鋁層厚鍍訂為2  $\mu\text{m}$ ，濺鍍時間為兩小時。圖7.(c)為氮化鋁的濺鍍速率圖，實驗以鋁靶材加入氮氣作為混合，以沉積出氮化鋁薄膜，氮氣流量為1 sccm，氬氣流量為20 sccm，實驗結果氮化鋁的平均鍍率為0.0167  $\mu\text{m}/\text{min}$ ，氮化鋁在本實驗中是用來嘗試改善薄膜受到升、降溫差後而剝離的狀況，因此不需太厚，將氮化鋁層訂為0.2  $\mu\text{m}$ ，濺鍍時間為12分鐘。

根據圖8.(a)金的電鍍速率曲線，可以得知以電流密度3  $\text{mA}/\text{cm}^2$ ，電鍍速率約為0.0341  $\mu\text{m}/\text{min}$ ，若以金、錫重量百分比80:20的比例，金厚度控制在1  $\mu\text{m}$ 左右，電鍍時間需要29.37分鐘，因金的電鍍速率較慢，若將電流密度加大，可以加快電鍍速率，但電鍍品質就會較差，表面會呈現較明顯的顆粒狀，為顧及薄膜品質與元件整體可靠度，本實驗仍選用較低的電流密度來電鍍金。而相對於圖8.(b)的錫電鍍速率圖，電鍍參數為電流密度20  $\text{mA}/\text{cm}^2$ ，根據實驗觀察得知，電鍍鎳的薄膜品質較不易受外在參數影響，都可以有不錯的電鍍品質，另經過計算，錫的厚度需控制在0.684  $\mu\text{m}$ ，電鍍時間為58秒鐘，才能使得順利製備金80 wt.%、錫20 wt.%的金錫堆疊層。



(a) 金電鍍速率圖



(b) 錫電鍍速率圖

圖8. 電鍍薄膜速率圖

經過一連串熱壓合試驗後，待試片自然冷卻至室溫，取出腔體後，發現到試片上的薄膜有剝離、脫落的狀況。如圖9所示，透過金相顯微鏡觀察發現，薄膜發生剝離處為碳化矽與鋁之間，由文獻推論得知可能因為碳化矽與鋁的熱膨脹係數差異甚大，在高溫熱壓合製程時，兩薄膜的膨脹差異過大，導致薄膜發生破裂並剝離，使得元件結構損壞[10]。



圖9. Glass/SiC/Al/...結構在熱壓合後薄膜剝離

熱膨脹係數(Coefficient of thermal expansion, 簡稱CTE)是指物質在熱脹冷縮效應作用之下，幾何特性隨著溫度的變化而發生變化的規律性係數。大多數情況之下，此係數為正值。也就是說溫度升高體積擴大。而一些陶瓷材料在溫度升高情況下，幾乎不發生幾何特性變化，其熱膨脹係數接近0。

表2. 各材料之熱膨脹係數值

材料	碳化矽	鋁	氮化鋁
熱膨脹係數	$4.0 \times 10^{-6}$	$23.2 \times 10^{-6}$	$5.0 \times 10^{-6}$

註：熱膨脹係數單位為 $\text{m}/\text{mK}$

失敗模式對策實驗有嘗試改變升、降溫速率，使得溫度改變的斜率降低，試圖設法使二金屬之溫度、體積差距縮小，溫控器設定溫度曲線示意圖如圖10.所示，但實驗後發現，此方法並沒有明顯改善剝離的狀況。

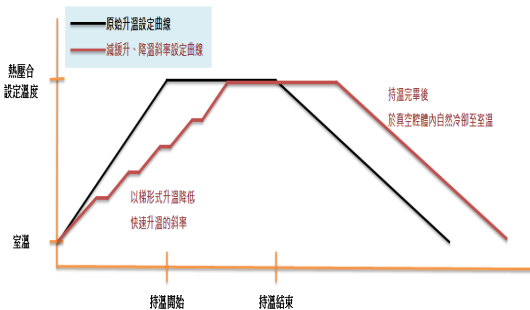


圖10. 熱壓合加熱溫控器設定曲線示意圖

另有嘗試在碳化矽薄膜濺鍍鋁層時，進行基板加熱，想藉使溫度使得原子鍵結能有所提升，但在熱壓合測試後，也宣告此方法無效。

後參考以碳化矽作為基材的LED結構[11]，於碳化矽基板上方再添加一層薄氮化鋁層，再濺鍍鋁薄膜進行後續金屬化製程，測試經熱壓合後，薄膜剝離的狀況已獲得大幅的改善，得以在升、降溫後，依舊服貼於基板上。

雖然氮化鋁與碳化矽的熱膨脹係數都遠小於鋁，但鋁卻能在溫度劇烈改變後，不會與氮化鋁剝離，推測是因為鋁與氮化鋁的晶格常數較為匹配，使得薄膜附著力較佳，故本實驗將以此結構去探討後續的金錫共晶接合結構。

以新結構Glass/SiC/AlN/Al/Zn/Ni/Au/Sn/Au製備而成的試片進行熱壓合，完成後再以剪應力測試儀進行各溫度參數的剪應力觀察，其結果圖11所示。在熱壓合溫度為345°C時，剪應力有最大值出現，約莫 $\geq 3\text{Kg/cm}^2$ ，但隨著溫度再增加，剪應力也逐漸減弱。

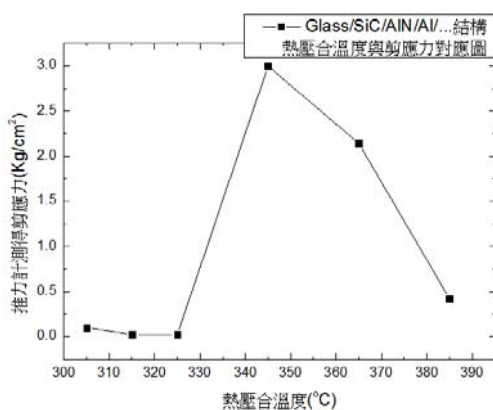


圖11. Glass/SiC/AlN/Al..結構之溫控器設定溫度與剪應力對照圖

根據圖12.母片推開斷裂處的金相顯微鏡照可以觀察到母片推開後，母片的薄膜被子片帶離，根據觀察，斷裂面應該是玻璃基板與碳化矽薄膜間，故可以推斷此處的接合較差，使得由此處斷裂開，並非最初的碳化矽與鋁薄膜間，因此可認定加入氮化鋁對於改善碳化矽與鋁薄膜間的附著性是有效的。

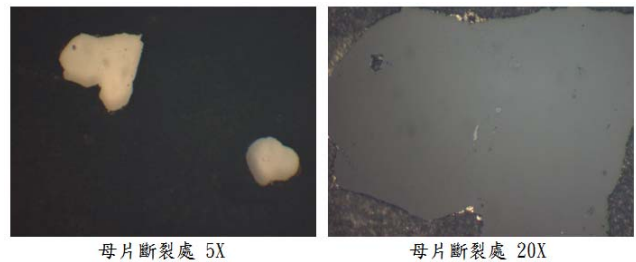


圖12. Glass/SiC/AlN/Al..結構之母片推開斷裂處金相顯微鏡外觀圖

圖13.為各溫度參數熱壓合後試片外觀圖，依據大致上的趨勢，當隨著熱壓合溫度增加，金黃色面積逐漸減少，灰色面積則大面積出現，而剪應力最佳的400 °C，則呈現灰色包夾著金黃色的外觀。另外，根據實驗數據發現，熱壓合後試片表面呈現的灰色面積越多或集中於中央(子片貼合處)，則剪應力越差，且根據觀察熱壓合的時間與灰色面積多寡有密切的關係，縱使保持溫度，隨著持溫時間的增加，試片表面灰色面積也會隨之增加，因此在熱壓合製程中，持溫時間是一個很重要的參數，持溫時間過短可能無法順利使金錫互熔達到鍵合的效果，反之持溫時間過長亦可能導致剪應力下降。

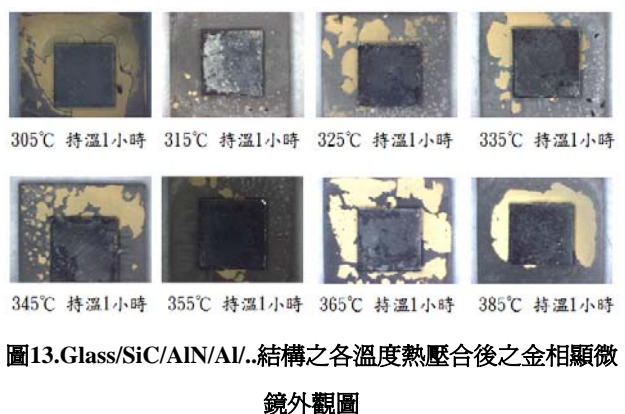


圖13. Glass/SiC/AlN/Al..結構之各溫度熱壓合後之金相顯微鏡外觀圖

圖14.為母片被堆開斷裂處的SEM影像，可以由EDS線分析圖觀察出金、錫含量分佈於母片薄膜殘留處，而薄膜被子片帶離的部分，幾乎沒有金、錫元素的殘留，因此可推論子片與母片間金錫於高溫互熔呈現均勻擴散的狀況，使得經外力推除後，兩側皆會有彼此的薄膜殘留。

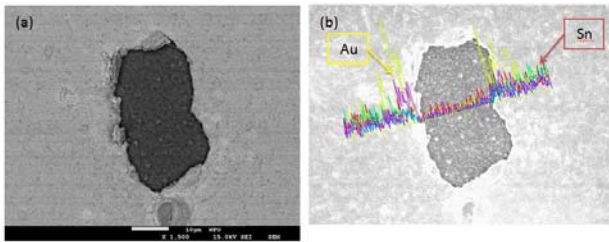


圖14.Glass/SiC/AlN/Al/..結構之母片推開斷裂處SEM圖像  
圖(a)為SEI圖，圖(b)為EDS線分析圖

#### 四、結論

經由本實驗研究，碳化矽薄膜對鋁基金錫共晶接合面之影響可得以下幾項結論：

1. 本研究將碳化矽加入鋁基結構中，並利用鋁/氮化鋁晶格匹配的特性去改善鋁/碳化矽熱膨脹係數不匹配的問題，避免因為熱膨脹係數不匹配而導致薄膜剝離，使得元件可靠度得以提升。
2. 本研究利用金錫共晶將子母片熱壓合，去觀察不同參數的剪應力表現，其中剪應力最大值出現在345 °C，較金錫共晶溫度278 °C來得高，推測是碳化矽薄膜屬於陶瓷材料，熱導係數較佳，使得整體熱壓合溫度提高。
3. 觀察熱壓合後的試片表面，若表面灰色面積越多則可測得之剪應力越差，且灰色面積與持溫的時間有密切的關係，因此熱壓合持溫時間為一重要的參數。

#### 參考文獻

1. 李芷毓，(民94)，白熾燈泡走入歷史，誰是最佳接班人？，工研院電子報，9912期。
2. 史國光，(民94)，半導體發光二極體與固態照明，全華科技圖書，台北。
4. 郭嘉龍編譯，(民90)，半導體封裝工程，全華科技圖書，台北。
5. Kim, Hyunsoo, Sung-Nam Lee, and Jaehee Cho (2010) “Electrical and optical characterization of GaN-based light-emitting diodes fabricated with top-emission and flip-chip structures”, *Materials Science in Semiconductor Processing*, **13**, 180–184 .,
6. 田民波等編著，(民100)，白光LED照明技術，五南圖書，台北。
7. Wang, Pin J., Jong S. Kim, and Chin C. Lee (2007) Fluxless Bonding of Silicon Chips to Ceramic Packages Using Electroplated Au/Sn/Au Structure, *IEEE Advanced Packaging Materials Symposium*, 41
8. 劉偉隆等編譯，(民88)，“物理冶金”，全華科技圖書，台北。
9. Tao, Z., Tom Bobal, Martin Oud, Jia Song-Hang (2005) An Introduction to Eutectic Au/Sn Solder Alloy and Its Preforms in Microelectronics/Optoelectronic Packaging Applications, *Electronics & Packaging*.
10. H. Okamoto, and T.B. Massaiski (1984) The Au-Sn (Gold-Tin) System, *Bulletin of Alloy Phase Diagrams* **5**, 492.
11. 魏炯全，(民94)，電子材料工程”，全華科技圖書，台北。
12. 宋健民，(民96)，鑽石底碳化矽：LED的夢幻基材(上)，工業材料雜誌，246，頁166~167。